

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-063574

(43)Date of publication of application : 12.03.1993

(51)Int.Cl.

H03M 1/36

H03M 1/08

(21)Application number : 03-225749

(71)Applicant : NEC CORP

(22)Date of filing : 05.09.1991

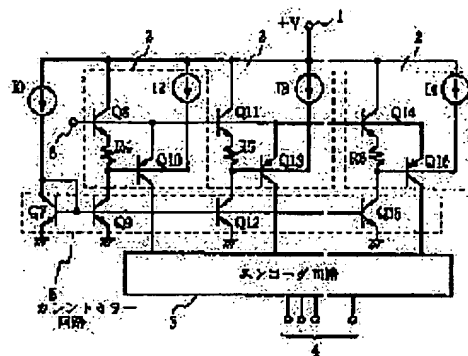
(72)Inventor : ETO TOSHIYUKI

## (54) FLASH TYPE A/D CONVERTER

### (57)Abstract:

**PURPOSE:** To realize A/D conversion with less conversion error due to noise without loss of high speed performance even when the A/D converter is operated at a low power supply voltage and to reduce a chip area.

**CONSTITUTION:** An input signal being a current input resulting from a current source 10 is fed to a current mirror circuit 5, and its output is inputted to each comparator circuit 2. The comparator 2 consists of transistors (TRs) Q8, Q10, a resistor R4 and a constant current source I2, for example and is a current comparison type comparator comparing the current from the current mirror circuit 5 with a current from a constant current source I2. Constant current sources I2-I4 in each comparator 2 are weighted and each comparison output is inputted to an encoder circuit 3. The encoder circuit 3 converts the signal into a digital code and it is outputted to an output terminal 4.



## LEGAL STATUS

[Date of request for examination] 29.11.1995

[Date of sending the examiner's decision of rejection] 28.10.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-63574

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.<sup>5</sup>

H 0 3 M 1/36  
1/08

識別記号

庁内整理番号

F I

技術表示箇所

9065-5 J

A 9065-5 J

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号

特願平3-225749

(22)出願日

平成3年(1991)9月5日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 江藤 俊之

東京都港区芝五丁目7番1号日本電気株式  
会社内

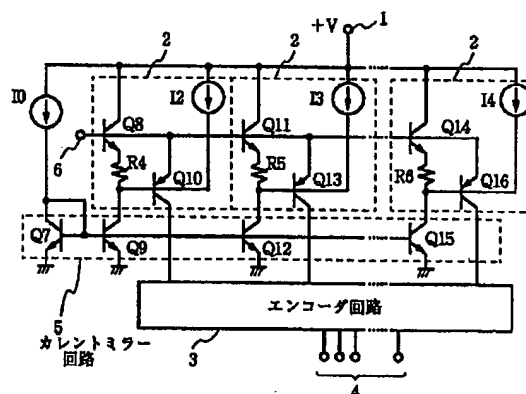
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 フラッシュ型A/D変換器

(57)【要約】

【目的】低電源電圧で動作させても、雑音による変換エラーを少なく且つ高速性も損なわずにA/D変換を実現するとともに、チップ面積を小さくすることにある。

【構成】電流源I0を電流入力とする入力信号がカレントミラー回路5に供給され、その出力が各コンパレータ回路2に供給される。このコンパレータ2は例えばトランジスタQ8、Q10と抵抗R4および定電流源I2とで構成され、カレントミラー回路5からの電流と定電流源I2からの電流とを比較する電流比較型比較器である。各コンパレータ2内の定電流源I2～I4は重み付けされており、その比較出力がエンコーダ回路3に入力される。エンコーダ回路3はデジタルコードに変換して出力端子4に出力する。



## 【特許請求の範囲】

【請求項1】 コレクタを第一の出力端子に接続し且つベースを定電圧源に接続し第一のトランジスタと前記第一のトランジスタとは逆極性で形成されエミッタを前記第一のトランジスタのベースに接続しベースを前記第一のトランジスタのエミッタおよび入力端子に導出し且つコレクタを第二の出力端子に接続した第二のトランジスタおよび前記第二のトランジスタのベースに接続される定電流源とをそれぞれ備えた複数個の電流比較型コンパレータと、前記電流比較型コンパレータの各々の第二の出力端子からの出力をエンコードするエンコード回路とを有し、前記複数個の電流比較型コンパレータの各々は電源と接地間に直列に接続され、前記電流比較型コンパレータの各々の第一の出力端子を隣接する電流比較型コンパレータの入力端子に接続し且つ前記複数個の電流比較型コンパレータの中隣接する電流比較型コンパレータに接続されない唯一の入力端子を入力信号源に接続することを特徴とするフラッシュ型A/D変換器。

【請求項2】 入力信号電流源を備えたカレントミラー回路と、コレクタを電源端子に接続し且つベースを電圧端子に接続した第一のトランジスタと前記第一のトランジスタとは逆極性で形成されエミッタを前記第一のトランジスタのベースに接続しベースを前記第一のトランジスタのエミッタおよび入力信号源に導出し且つコレクタを出力端子に接続した第二のトランジスタおよび前記第二のトランジスタのベースに接続される定電流源とをそれぞれ備えた複数個の電流比較型コンパレータと、前記電流比較型コンパレータの各々の出力をエンコードするエンコード回路とを有し、前記複数個の電流比較型コンパレータの各々は前記電源端子と前記カレントミラー回路の出力間に並列に接続されることを特徴とするフラッシュ型A/D変換器。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフラッシュ型A/D変換器に関し、特に集積回路に適した演算増幅回路等で用いるフラッシュ型A/D変換器に関する。

【0002】

【従来の技術】 従来、演算増幅回路等に用いるA/D変換器としては、フラッシュ型A/D変換器が一般的に用いられている。

【0003】 図3はかかる従来の一例を示すフラッシュ型A/D変換器の回路図である。図3に示すように、従来のフラッシュ型A/D変換器は電源端子(VREF)8と接地間に抵抗R7〜R10を直列接続して形成される分圧回路と、この分圧回路の分圧出力を一方の入力端子に投入し且つ他方の入力端子に投入信号電圧端子9からの入力信号(VIN)が共通に印加される複数のコンパレータ7と、各コンパレータ7の出力を入力してエンコードしデジタル出力端子4に出力するエンコード回

路3とを有している。このようなフラッシュ型A/D変換器は高速にアナログ信号をデジタル信号に変換する回路として知られている。

【0004】

【発明が解決しようとする課題】 上述した従来のフラッシュ型A/D変換器は、変換ビット数の増加に伴ってコンパレータの入力電圧が急激に小さくなる。このため、コンパレータ回路やエンコード回路の動作により発生する雑音が入力部へ回り込むことになり、変換エラーの確率が増大するという欠点がある。また、従来のフラッシュ型A/D変換器は、分圧回路を形成するための抵抗素子数が多くなるので、集積回路における素子面積を増大し、製造コストを増加させるという欠点がある。

【0005】 本発明の目的は、かかる変換ビット数が増加しても変換エラーを少なくするとともに、集積回路における素子面積を小さくすることのできるフラッシュ型A/D変換器を提供することにある。

【0006】

【課題を解決するための手段】 本発明のフラッシュ型A/D変換器は、コレクタを第一の出力端子に接続し且つベースを定電圧源に接続し第一のトランジスタと前記第一のトランジスタとは逆極性で形成されエミッタを前記第一のトランジスタのベースに接続しベースを前記第一のトランジスタのエミッタおよび入力端子に導出し且つコレクタを第二の出力端子に接続した第二のトランジスタおよび前記第二のトランジスタのベースに接続される定電流源とをそれぞれ備えた複数個の電流比較型コンパレータと、前記電流比較型コンパレータの各々の第二の出力端子からの出力をエンコードするエンコード回路とを有し、前記複数個の電流比較型コンパレータの各々は電源と接地間に直列に接続され、前記電流比較型コンパレータの各々の第一の出力端子を隣接する電流比較型コンパレータの入力端子に接続し且つ前記複数個の電流比較型コンパレータの中隣接する電流比較型コンパレータに接続されない唯一の入力端子を入力信号源に接続して構成される。

【0007】 また、本発明のフラッシュ型A/D変換器は、入力信号電流源を備えたカレントミラー回路と、コレクタを電源端子に接続し且つベースを電圧端子に接続した第一のトランジスタと前記第一のトランジスタとは逆極性で形成されエミッタを前記第一のトランジスタのベースに接続しベースを前記第一のトランジスタのエミッタおよび入力信号源に導出し且つコレクタを出力端子に接続した第二のトランジスタおよび前記第二のトランジスタのベースに接続される定電流源とをそれぞれ備えた複数個の電流比較型コンパレータと、前記電流比較型コンパレータの各々の出力をエンコードするエンコード回路とを有し、前記複数個の電流比較型コンパレータの各々は前記電源端子と前記カレントミラー回路の出力間に並列に接続して構成される。

【0008】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0009】図1は本発明の一実施例を示すフラッシュ型A/D変換器の回路図である。図1に示すように、本実施例のA/D変換器は、ダイオードD1～D3と、電源端子(+V)1および接地(GND)間に直列接続される複数の電流比較型コンパレータ2と、コンパレータ2の出力を入力してエンコードし且つその出力を出力端子4に出力するエンコード回路3とを有している。このうち、電源端子1に近い1つの電流比較型コンパレータ2は、NPNトランジスタQ1とPNPトランジスタQ2と抵抗R1および定電流源I2とで構成している。以下、他のコンパレータも同様である。これらのコンパレータ2が電源端子1と接地間に直列に接続されている。また、ダイオードD1～D3および定電流源I1は前述したコンパレータ2に対するバイアス回路を構成している。更に、これらのコンパレータ2の出力はトランジスタQ2、Q4、Q6のコレクタから取り出され、エンコード回路3の入力に供給される。この場合、電流源I0が入力信号電流源となっている。

【0010】かかる構成のA/D変換器において、入力信号電流I0がまず定電流源I4と比較される。この入力信号電流I0が定電流源I4の値よりも大きい場合は、その差電流が抵抗R3を経由してトランジスタQ5に流れる。このため、トランジスタQ6にも電流が流れ、エンコード回路3に供給される。一方、入力信号電流I0が定電流源I4の値よりも小さい場合は、トランジスタQ5、Q6が共にカットオフするので、電流は流れない。このようにして、各コンパレータ2の出力電流が決定される。

【0011】ここで、入力信号電流I0のダイナミックレンジは、電源電圧(+V)と無関係に決定することが出来る。すなわち、大きく設定すれば、雑音に対して変換エラーの確率を著しく下げることが可能になる。また、定電流源I2～I4はすべてトランジスタで構成出来るので、集積回路における素子面積を小さくすることができる。

【0012】図2は本発明の他の実施例を示すフラッシュ型A/D変換器の回路図である。図2に示すように、本実施例のA/D変換器は電源端子1に対して並列に接続される複数の電流比較型コンパレータ2と、コンパレータ2の各出力を入力して出力端子4にエンコード出力するエンコード回路3と、入力信号電流源I0およびカレントミラー回路5とを有する。1つの電流比較型コンパレータ2はNPNトランジスタQ8およびPNPトランジスタQ10と、抵抗R4と、定電流源I2とで構成される。その他のコンパレータ2も同様である。これらのコンパレータ2が電源端子(+V)1と接地間に並列に接続されている。また、カレントミラー回路5はトラ

ンジスタQ7、Q9、Q12、Q15で構成され、入力信号電流源I0に接続される。このため、各コンパレータ2には共通に電流が供給される。更に、入力信号電圧端子6は定電圧が印加され、コンパレータ2をバイアスする。各コンパレータを構成するトランジスタQ10、Q13、Q16のコレクタからは、出力が取り出され、エンコード回路3へ入力される。

【0013】このようなフラッシュ型A/D変換器では、例えばトランジスタQ9に流れる入力信号電流が定電流源I2に設定された電流値と比較される。トランジスタQ9に流れる電流が定電流源I2に流れる電流よりも大きいときは、その差電流が抵抗R4を経由してトランジスタQ8に流れる。その結果、トランジスタQ10にも電流が流れる。一方、電流の大小関係が逆のときは、トランジスタQ8、Q10がカットオフとなるので、電流は流れない。このようにして、各コンパレータ2が同時に動作するので、定電流源I2～I4の電流値に適当な重みを付ければ、エンコード回路3を介してデジタルコードが得られる。このときの入力信号電流のダイナミックレンジは、電源電圧とは無関係に決定することが出来、大きく設定すれば雑音に対して変換エラーの確率を著しく下げることができる。また、定電流源I2～I4はすべてトランジスタで構成できるので、素子面積を小さく出来る。更に、回路構成から明らかなように、低電圧化に対しても精度の劣化が生ずることはなく、しかもトランジスタQ8～Q16はベース接地であるので、変換速度は高速となる。

【0014】

【発明の効果】以上説明したように、本発明のフラッシュ型A/D変換器は複数の電流比較型のコンパレータを用いることにより、ダイナミック・レンジを電源電圧に無関係に設定出来るので、雑音に対する変換エラーを少なくし、また素子面積も小さく出来るという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すフラッシュ型A/D変換器の回路図である。

【図2】本発明の他の実施例を示すフラッシュ型A/D変換器の回路図である。

【図3】従来の一例を示すフラッシュ型A/D変換器の回路図である。

【符号の説明】

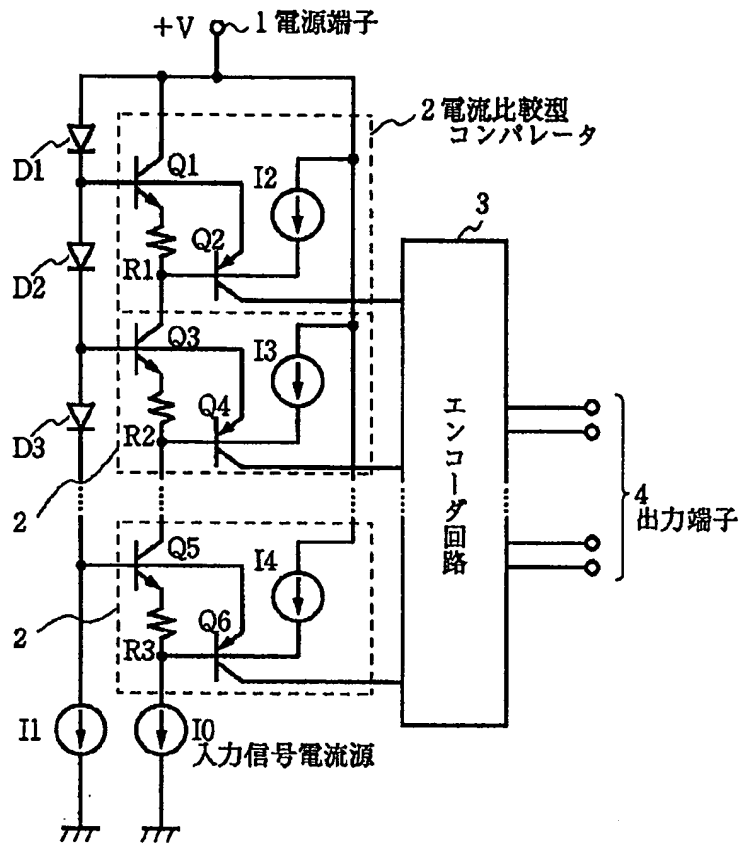
- 1 電源端子
- 2 電流比較型コンパレータ
- 3 エンコード回路
- 4 出力端子
- 5 カレントミラー回路
- 6 入力信号電圧端子
- D1～D3 ダイオード
- Q1～Q16 トランジスタ

R1~R6 抵抗  
I0 入力信号電流源

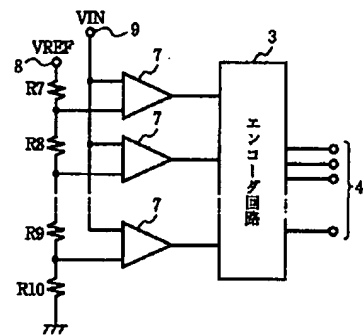
\* I1~I4 定電流源

\*

【図1】



【図3】



【図2】

